

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124156

(P2000-124156A)

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/288		H 0 1 L 21/288	Z 4 K 0 2 2
C 2 3 C 18/16		C 2 3 C 18/16	C 4 M 1 0 4
H 0 1 L 21/68		H 0 1 L 21/68	A 5 F 0 3 1

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平10-289273

(22) 出願日 平成10年10月12日 (1998. 10. 12)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 池田 智

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(72) 発明者 監物 秀憲

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

F ターム (参考) 4K022 AA05 AA41 BA08 DA01 DB15

EA01 EA04

4M104 BB04 DD52 DD53 DD79

5F031 CA02 FA01 FA12 GA44 MA23

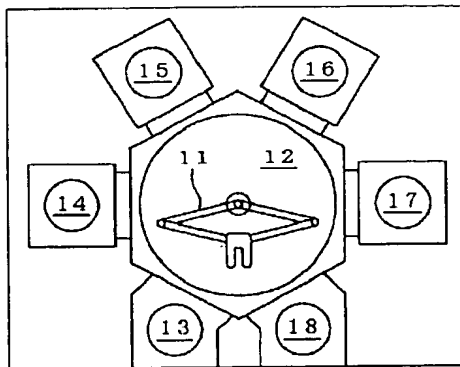
MA25 MA28 MA30 NA04

(54) 【発明の名称】 半導体製造装置

(57) 【要約】

【課題】 本発明は、メッキ法により金属膜を成膜する半導体製造装置において、高い処理能力を達成すると共にその省スペース化を実現することができる半導体製造装置を提供することを目的とする。

【解決手段】 搬送ユニット 12 の周囲に、ロード用のカセットステージ 13、メッキ前洗浄槽 14、無電解メッキ法により半導体基体に Cu 膜を成膜する無電解メッキ槽 15、メッキ後洗浄槽 16、半導体基体に成膜された Cu 膜の熱処理を行う熱処理炉 17、アンロード用のカセットステージ 18 が順に配置されている。このため、無電解メッキ槽 15 において無電解メッキ法により Cu 膜が成膜された後、後洗浄を経て、熱処理炉 17 において温度 100℃、10 分間の熱処理が行われ、無電解メッキの際に Cu 膜に取り込まれた様々な添加剤等の不純物が除去される一連の処理が同一装置内において連続的に行われる。



11・・・搬送アーム

12・・・搬送ユニット

13・・・ロード用のカセットステージ

14・・・メッキ前洗浄槽

15・・・無電解メッキ槽

16・・・メッキ後洗浄槽

17・・・熱処理炉

18・・・アンロード用のカセットステージ

【特許請求の範囲】

【請求項1】 メッキ法により金属膜を成膜する半導体製造装置であって、

無電解メッキ槽と熱処理炉が配置されていることを特徴とする半導体製造装置。

【請求項2】 メッキ法による成膜を行う半導体製造装置であって、

無電解メッキ槽と熱処理炉と電解メッキ槽が配置されていることを特徴とする半導体製造装置。

【請求項3】 請求項1又は2に記載の半導体製造装置において、

半導体基体を搬送する搬送手段が具備されていることを特徴とする半導体製造装置。

【請求項4】 請求項3記載の半導体製造装置において、

前記搬送手段が、前記半導体基体を不活性ガス雰囲気中において搬送することを特徴とする半導体製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体製造装置に係り、特にメッキ法により金属膜を成膜する半導体製造装置に関するものである。

【0002】

【従来の技術】LSI（大規模集積回路）の高速化が進行する中で、配線抵抗を低減するために配線材料をAl（アルミニウム）からCu（銅）に置き換える開発が進められている。現状のAl配線は、平坦な半導体基体上にAl膜を成膜した後、このAl膜をRIE（Reactive Ion Etching；反応性イオンエッチング）を用いてパターンニングすることにより形成される。従って、Cu配線を形成する場合も、Al配線と同様に、半導体基体上へのCu膜の成膜工程とその後のRIEによるパターンニング工程を用いることが考えられるが、現状においては、Cu膜のRIE技術が確立されていないという問題がある。

【0003】この問題を克服する手法として、デュアルダマシンプロセスがある。これは、半導体基体上の層間絶縁膜に接続孔及び配線溝を形成し、更に半導体基体全面にCu膜を成膜し、このCu膜によって接続孔及び配線溝を埋め込んだ後、層間絶縁膜上のCu膜をCMP（Chemical Mechanical Polishing；化学機械的研磨）処理により除去して、接続孔及び配線溝に埋め込まれたCu配線を実現するプロセスである。

【0004】このデュアルダマシンプロセスにおけるCu膜の成膜方法としては、スパッタ法とリフロー法を組み合わせる方法、CVD（Chemical Vapor Deposition；気相成長）法、メッキ法等が主に挙げられる。各成膜方法の長所、短所を以下に述べる。

【0005】先ず、スパッタ法とリフロー法を組み合わせる方法は、成膜したCu膜の接続孔及び配線溝にお

るカバレッジが良好でなく、Cu膜のリフロー時に接続孔及び配線溝の上部においてブリッジが生じて、Cu膜によって埋め込まれた接続孔及び配線溝の内部にボイドが残存し易いという欠点がある。

【0006】また、CVD法は、スパッタ法とリフロー法を組み合わせる方法と比較して、優れた埋め込み能力をもっているが、ガスソースのコストが高くなるという欠点の他、Cu膜の成膜速度が遅いために接続孔及び配線溝を埋め込むのに長時間を要して現実の製造プロセスに組み込むには生産性が低いという欠点がある。更にまた、チャンバ内壁に成膜されたCu膜をクリーニングする方法に関して、ガスクリーニング又はプラズマクリーニング等のドライプロセスによるクリーニングする方法が未だ確立されていないという問題もある。

【0007】また、メッキ法には、無電解メッキ法と電解メッキ法がある。このうち、一方の電解メッキ法においては、カソード電極とCuを析出させる下地膜が必要となり、一般に両者を兼用する目的でシードCu膜が用いられる。このシードCu膜の成膜方法としては、スパッタ法、CVD法、無電解メッキ法があるが、シードCu膜の形状が電解メッキ後の埋め込み形状に影響するため、スパッタ法よりもカバレッジが優れているCVD法や無電解メッキ法が注目されている。他方の無電解メッキ法においては、メッキ液に添加した還元剤によってCu膜が半導体基体表面に析出されるため、電解メッキ法と異なりカソード電極が不要となる。そのため、シード膜を形成する工程が不要となる。

【0008】以上のことから、Cu膜の成膜方法としては無電解メッキ法が最も好ましいように思われるが、無電解メッキ法で析出したCu膜には界面活性剤や還元剤といった様々な添加剤等の不純物が多く取り込まれる。このことは、Cu配線の抵抗や信頼性と強い関係にあるCu膜の配向性の観点から好ましくない。そのため、無電解メッキ法によってシードCu膜を形成した後、Cu膜への不純物の取り込みが少ない電解メッキ法により接続孔及び配線溝を埋め込むプロセスが有望視されている。

【0009】

【発明が解決しようとする課題】上記の経緯から、近年においては、無電解メッキ法や電解メッキ法を用いるプロセス開発が急激に発展してきた。但し、無電解メッキ法を用いて形成されたCu膜には、前述したように、様々な添加剤等の不純物が取り込まれている。この影響により、その後に電解メッキ法を用いて成膜した不純物の取り込みが少ないCu膜によって接続孔及び配線溝を埋め込んでも、ボイド等の埋め込み不良が生じる可能性が非常に高い。そのため、無電解メッキ法を用いてシードCu膜を形成した後、このシードCu膜に取り込まれている様々な添加剤等の不純物を除去するための熱処理を行ったうえで、電解メッキ法を用いてCu膜を成膜

し、接続孔及び配線溝を埋め込むプロセスが考えられる。

【0010】ところで、このような無電解メッキ法と電解メッキ法を組み合わせるCu膜を成膜するプロセスを実現する際に使用する半導体製造装置としては、無電解メッキ装置、電解メッキ装置、及び熱処理装置が必要であるが、これらの半導体製造装置はそれぞれ別々の装置であるため、各々の装置を導入するために必要なスペースを如何に小さくするか、また各々の装置において要する作業時間及び各々の装置間の半導体基体の搬送時間を如何に短縮するかが課題となっていた。

【0011】そこで、本発明は上記課題を解決するためになされたものであり、メッキ法により金属膜を成膜する半導体製造装置において、高い処理能力を達成すると共にその省スペース化を実現することができる半導体製造装置を提供することを目的とする。

【0012】

〔課題を解決するための手段〕上記課題は、以下の本発明に係る半導体製造装置により達成される。即ち、請求項1に係る半導体製造装置は、メッキ法により金属膜を成膜する半導体製造装置であって、無電解メッキ槽と熱処理炉が配置されていることを特徴とする。このように請求項1に係る半導体製造装置においては、無電解メッキ槽と熱処理炉が同一装置内に配置されていることにより、これら無電解メッキ槽及び熱処理炉の各ユニットがそれぞれ別々の装置としてレイアウトされる場合と比較すると、全体として省スペース化される。また、無電解メッキによる成膜とその後の熱処理が同一装置内において連続して行われるため、処理能力が高まり、スループットが向上する。

【0013】また、請求項2に係る半導体製造装置は、メッキ法により金属膜を成膜する半導体製造装置であって、無電解メッキ槽と熱処理炉と電解メッキ槽が配置されていることを特徴とする。このように請求項2に係る半導体製造装置においては、無電解メッキ槽と熱処理炉と電解メッキ槽が同一装置内に配置されていることにより、これら無電解メッキ槽、熱処理炉、及び電解メッキ槽の各ユニットがそれぞれ別々の装置としてレイアウトされる場合と比較すると、全体として省スペース化される。また、無電解メッキによる金属膜の成膜とその後の熱処理と更に電解メッキによる金属膜の成膜が同一装置内において連続して行われるため、処理能力が高まり、スループットが向上する。

【0014】また、請求項3に係る半導体製造装置は、上記請求項1又は2に係る半導体製造装置において、半導体基体を搬送する搬送手段が具備されている構成とすることにより、各ユニット間における半導体基体の移動がスムーズになされるため、スループットが向上する。

【0015】また、請求項4に係る半導体製造装置は、上記請求項3に係る半導体製造装置において、搬送手段

が半導体基体を不活性ガス雰囲気中において搬送する構成とすることにより、一連の処理の前後における半導体基体が大気に暴露されることがなくなるため、メッキ法により成膜した金属膜が酸化されたり、汚染されたりすることが防止され、金属膜の品質及び信頼性が向上する。また、無電解メッキにより成膜した金属膜の熱処理後に更に電解メッキによる金属膜の成膜を行う場合には、この電解メッキ直前に金属膜表面に形成された酸化膜を除去する工程が不要となるため、電解メッキによる金属膜の成膜工程が簡略化される。

【0016】

〔発明の実施の形態〕以下、添付図面を参照しながら、本発明の実施の形態を説明する。

〔第1の実施形態〕本発明の第1の実施形態に係る半導体製造装置は、無電解メッキ槽と熱処理炉が隣接して配置され、半導体基体を搬送する搬送系を用いて無電解メッキによる金属膜の成膜とその後の熱処理が同一装置内において連続して行われるようになっている点に特徴がある。

【0017】図1に本実施形態に係る半導体製造装置を示す。この図1に示されるように、本実施形態に係る半導体製造装置においては、処理対象である半導体基体を搬送する搬送アーム11を備えた搬送ユニット12の周囲に、一連の処理が行われる前の半導体基体をセットするロード用のカセットステージ13、半導体基体のメッキ前洗浄と無電解メッキのための前処理を行うメッキ前洗浄槽14、無電解メッキ法により半導体基体にCu膜を成膜する無電解メッキ槽15、半導体基体上に残存するメッキ液を除去した後洗浄と乾燥を行うメッキ後洗浄槽16、半導体基体に成膜されたCu膜の熱処理を行う熱処理炉17、これら一連の処理が終了した後の半導体基体をセットするアンロード用のカセットステージ18が、順に配置されている。

【0018】次に、図1の半導体製造装置を用いて配線用のCu膜を成膜するプロセスを説明する。まず、層間絶縁膜に接続孔及び配線溝が形成されている半導体基体をロード用のカセットステージ13にセットする。このロード用のカセットステージ13にセットされた半導体基体は、搬送ユニット12の搬送アーム11によりメッキ前洗浄槽14に搬送される。そしてこのメッキ前洗浄槽14において、半導体基体のメッキ前洗浄と無電解メッキのための前処理が行われる。

【0019】この無電解メッキのための前処理が終了した半導体基体は、搬送ユニット12の搬送アーム11により無電解メッキ槽15に搬送される。そしてこの無電解メッキ槽15において、無電解メッキ法によりCu膜が成膜され、このCu膜によ半導体基体の接続孔及び配線溝が埋め込まれる。

【0020】この無電解メッキが終了した後、Cu膜が成膜された半導体基体は、搬送ユニット12の搬送アーム

ム11によりメッキ後洗浄槽16に搬送される。そしてこのメッキ後洗浄槽16において、半導体基体上に残存するメッキ液を除去する後洗浄及び乾燥が行われる。

【0021】この後洗浄及び乾燥の後、接続孔及び配線溝にCu膜が埋め込まれた半導体基体は、搬送ユニット12の搬送アーム11により熱処理炉17に搬送される。そしてこの熱処理炉17において、温度100℃、10分間の熱処理が行われ、無電解メッキによる成膜の際にCu膜に取り込まれた様々な添加剤等の不純物が除去される。この熱処理の終了後、様々な添加剤等の不純物が除去されたCu膜によって接続孔及び配線溝が埋め込まれた半導体基体は、搬送ユニット12の搬送アーム11によりアンロード用のカセットステージ18に搬送される。

【0022】このように図1の半導体製造装置においては、無電解メッキ法により半導体基体の接続孔及び配線溝を埋め込むCu膜が成膜された後、その際にCu膜に取り込まれた様々な添加剤等の不純物が熱処理によって除去される。そして、その後、CMP処理により層間絶縁膜上のCu膜が除去されて、接続孔及び配線溝に埋め込まれたCu配線が実現される。

【0023】以上のように本実施形態に係る半導体製造装置によれば、搬送ユニット12の周囲に、メッキ前洗浄槽14、無電解メッキ槽15、メッキ後洗浄槽16、熱処理炉17等のユニットが順に配置されていることにより、これらの各ユニットがそれぞれ別々の装置としてレイアウトされる場合と比較すると、全体としては省スペース化を実現することができる。

【0024】また、搬送ユニット12の搬送アーム11により隣接するユニット間における半導体基体のスムーズな移動を実現して、無電解メッキ槽15におけるCu膜の成膜とその後の熱処理炉17における熱処理を連続して行うことが可能になるため、処理能力を高めて、スループットを向上させることができる。

【0025】(第2の実施形態)本発明の第2の実施形態に係る半導体製造装置は、上記第1の実施形態における無電解メッキ槽と熱処理炉に加えて、電解メッキ槽が隣接して配置され、半導体基体を搬送する搬送系を用いて無電解メッキによる金属膜の成膜とその後の熱処理と更に電解メッキによる金属膜の成膜が同一装置内において連続して行われるようになっている点に特徴がある。

【0026】図2に本実施形態に係る半導体製造装置を示す。この図2に示されるように、本実施形態に係る半導体製造装置においては、処理対象である半導体基体を搬送する搬送アーム21を備えた搬送ユニット22の周囲に、一連の処理が行われる前の半導体基体をセットするロード用のカセットステージ23、半導体基体のメッキ前洗浄、無電解メッキのための前処理、無電解メッキ法によるCu膜の成膜、及び残存するメッキ液を除去する後洗浄や乾燥を行う無電解メッキ槽24、半導体基

に成膜されたCu膜の熱処理を行う熱処理炉25、半導体基体のメッキ前洗浄、電解メッキのための前処理、電解メッキ法によるCu膜の成膜、及び残存するメッキ液を除去する後洗浄や乾燥を行う2つの電解メッキ槽26、これら一連の処理が終了した後の半導体基体をセットするアンロード用のカセットステージ27が、順に配置されている。

【0027】なお、ここで、電解メッキ槽26が2つ設置されているのは、この電解メッキ槽26における電解メッキ法によるCu膜の成膜速度が相対的に遅いため、電解メッキ槽26の数を増やして並行処理を行えるようにして、半導体製造装置全体としてのスループットの向上を図るためである。

【0028】次に、図2の半導体製造装置を用いて配線用のCu膜を成膜するプロセスを説明する。まず、層間絶縁膜に接続孔及び配線溝が形成されている半導体基体をロード用のカセットステージ23にセットする。このロード用のカセットステージ23にセットされた半導体基体は、搬送ユニット22の搬送アーム21により無電解メッキ槽24に搬送される。そしてこの無電解メッキ槽25において、半導体基体のメッキ前洗浄と無電解メッキのための前処理が行われた後、無電解メッキ法によりシードCu膜が成膜される。更に、その後、半導体基体上に残存するメッキ液を除去する後洗浄及び乾燥が行われる。

【0029】この無電解メッキが終了した後、シードCu膜が成膜された半導体基体は、搬送ユニット22の搬送アーム21により熱処理炉25に搬送される。そしてこの熱処理炉25において、温度100℃、10分間の熱処理が行われ、無電解メッキによる成膜の際にシードCu膜に取り込まれた様々な添加剤等の不純物が除去される。

【0030】この熱処理の終了後、様々な添加剤等の不純物が除去されたシードCu膜が成膜された半導体基体は、搬送ユニット22の搬送アーム21により電解メッキ槽26に搬送される。そしてこの電解メッキ槽26において、半導体基体のメッキ前洗浄と電解メッキのための前処理が行われた後、電解メッキ法によりCu膜が成膜され、このCu膜によ半導体基体の接続孔及び配線溝がシードCu膜を介して埋め込まれる。更に、その後、半導体基体上に残存するメッキ液を除去する後洗浄及び乾燥が行われる。この電解メッキが終了した後、接続孔及び配線溝にシードCu膜を介してCu膜が埋め込まれた半導体基体は、搬送ユニット22の搬送アーム21によりアンロード用のカセットステージ27に搬送される。

【0031】このように図2の半導体製造装置においては、無電解メッキ法により半導体基体にシードCu膜が成膜された後、その際にシードCu膜に取り込まれた様々な添加剤等の不純物が熱処理によって除去され、更に

電解メッキ法により半導体基体の接続孔及び配線溝をシードCu膜を介して埋め込むシードCu膜が成膜される。そして、その後、CMP処理により層間絶縁膜上のCu膜及びシードCu膜が除去されて、接続孔及び配線溝にシードCu膜を介して埋め込まれたCu配線が実現される。

【0032】以上のように本実施形態に係る半導体製造装置によれば、搬送ユニット22の周囲に、無電解メッキ槽24、熱処理炉25、電解メッキ槽26等のユニットが順に配置されていることにより、これらの各ユニットがそれぞれ別々の装置としてレイアウトされる場合と比較すると、全体としては省スペース化を実現することができる。

【0033】また、搬送ユニット22の搬送アーム21により隣接するユニット間における半導体基体のスムーズな移動を実現し、無電解メッキ槽24におけるシードCu膜の成膜とその後の熱処理炉25における熱処理と更に電解メッキ槽26におけるCu膜の成膜を連続して行うことが可能になるため、処理能力を高めて、スループットを向上させることができる。

【0034】(第3の実施形態)本発明の第3の実施形態に係る半導体製造装置は、上記第2の実施形態における無電解メッキ槽と熱処理炉と電解メッキ槽に加えて、これらの各ユニット及び搬送系の雰囲気を入活性ガス雰囲気とするガス系が設置され、各ユニットでの処理の前後における半導体基体の搬送が不活性ガス雰囲気中においてなされるようになっていく点に特徴がある。

【0035】図3に本実施形態に係る半導体製造装置を示す。この図3に示されるように、本実施形態に係る半導体製造装置においては、処理対象である半導体基体を搬送する搬送アーム31を備えた搬送ユニット32の周囲に、一連の処理が行われる前の半導体基体をセットするロード用のカセットステージ33、半導体基体のメッキ前洗浄、無電解メッキのための前処理、無電解メッキ法によるCu膜の成膜、及び残存するメッキ液を除去した後洗浄や乾燥を行う無電解メッキ槽34、半導体基体に成膜されたCu膜の熱処理を行う熱処理炉35、半導体基体のメッキ前洗浄、電解メッキのための前処理、電解メッキ法によるCu膜の成膜、及び残存するメッキ液を除去した後洗浄や乾燥を行う2つの電解メッキ槽36、これら一連の処理が終了した後の半導体基体をセットするアンロード用のカセットステージ37が、順に配置されている。

【0036】なお、ここで、電解メッキ槽36が2つ設置されているのは、上記第2の実施形態の場合と同様に、電解メッキ法によるCu膜の成膜速度が相対的に遅い電解メッキ槽26の数を増やして並行処理を行えるようにして、半導体製造装置全体としてのスループットの向上を図るためである。

【0037】そして、これらの搬送ユニット32、ロー

ド用のカセットステージ33、無電解メッキ槽34、熱処理炉35、2つの電解メッキ槽36、及びアンロード用のカセットステージ37の各ユニットは、それぞれゲートバルブ(図示せず)によって仕切られていると共に、これら各ユニットに不活性ガスとしての窒素ガスを供給するための窒素ガスライン38と各ユニット内の気体を外部に排出するための排気ライン39が接続されている。

【0038】次に、図3の半導体製造装置を用いて配線用のCu膜を成膜するプロセスを説明する。まず、層間絶縁膜に接続孔及び配線溝が形成されている半導体基体をロード用のカセットステージ33にセットする。このロード用のカセットステージ33にセットされた半導体基体は、搬送ユニット32の搬送アーム31により無電解メッキ槽34に搬送される。そしてこの無電解メッキ槽35において、半導体基体のメッキ前洗浄と無電解メッキのための前処理が行われた後、無電解メッキ法によりシードCu膜が成膜される。更に、その後、半導体基体上に残存するメッキ液を除去した後洗浄及び乾燥が行われる。

【0039】この無電解メッキが終了した後、シードCu膜が成膜された半導体基体は、搬送ユニット32の搬送アーム31により熱処理炉35に搬送される。このとき、無電解メッキ槽35、搬送ユニット32、及び熱処理炉35の雰囲気は、窒素ガスライン38から供給された窒素ガスによって充填され、大気は窒素パージされていることから、半導体基体が大気に暴露されることはない。このため、無電解メッキ法により成膜されたシードCu膜が酸化されたり、ダスト等で汚染されたりすることは防止され、数十nmと非常に薄い無電解メッキ膜であるシードCu膜の信頼性が保持される。

【0040】そして熱処理炉35において、温度100℃、10分間の熱処理が行われ、無電解メッキによる成膜の際にシードCu膜に取り込まれた様々な添加剤等の不純物が除去される。

【0041】この熱処理の終了後、様々な添加剤等の不純物が除去されたシードCu膜が成膜された半導体基体は、搬送ユニット32の搬送アーム31により電解メッキ槽36に搬送される。このときも、熱処理炉35、搬送ユニット32、及び電解メッキ槽36の雰囲気は、窒素ガスライン38から供給された窒素ガスによって充填され、大気は窒素パージされていることから、半導体基体が大気に暴露されることはない。このため、熱処理後のシードCu膜が酸化されたり、ダスト等で汚染されたりすることは防止される。

【0042】そして電解メッキ槽36において、半導体基体のメッキ前洗浄と電解メッキのための前処理が行われた後、電解メッキ法によりCu膜が成膜され、このCu膜によつ半導体基体の接続孔及び配線溝がシードCu膜を介して埋め込まれる。更に、その後、半導体基体上

に残存するメッキ液を除去する後洗浄及び乾燥が行われる。なお、この電解メッキ工程では、前述したように窒素ガスライン38から供給された窒素ガスによって大気が窒素バージされ、シードCu膜の酸化が防止されているため、電解メッキのための前処理における酸化膜の除去が不要となり、工程の簡略化が図られる。

【0043】この電解メッキが終了した後、接続孔及び配線溝にシードCu膜を介してCu膜が埋め込まれた半導体基体は、搬送ユニット32の搬送アーム31によりアンロード用のカセットステージ37に搬送される。このときも、電解メッキ槽36、搬送ユニット32、及びアンロード用のカセットステージ37の雰囲気は、窒素ガスライン38から供給された窒素ガスによって充填され、大気は窒素バージされていることから、半導体基体が大気に暴露されることはない。このため、電解メッキ法により成膜されたCu膜が酸化されたり、ダスト等で汚染されたりすることは防止され、Cu膜の信頼性が保持される。

【0044】このように図3の半導体製造装置においては、無電解メッキ法により半導体基体にシードCu膜が成膜された後、その際にシードCu膜に取り込まれた様々な添加剤等の不純物が熱処理によって除去され、更に電解メッキ法により半導体基体の接続孔及び配線溝をシードCu膜を介して埋め込むシードCu膜が成膜されるが、これら一連の処理を行う各ユニット及び搬送ユニット32の雰囲気は窒素ガスライン38から供給された窒素ガスによって充填されているため、処理前後における半導体基体が大気に暴露されることがないようにしている。そして、その後、CMP処理により層間絶縁膜上のCu膜及びシードCu膜が除去されて、接続孔及び配線溝にシードCu膜を介して埋め込まれたCu配線が実現される。

【0045】以上のように本実施形態に係る半導体製造装置によれば、上記第2の実施形態の場合と同様に、搬送ユニット32の周囲に、無電解メッキ槽34、熱処理炉35、電解メッキ槽36等のユニットが順に配置されていることにより、省スペース化を実現することができる。また、搬送ユニット32の搬送アーム31により隣接するユニット間における半導体基体のスムーズな移動を実現して、無電解メッキ槽34におけるシードCu膜の成膜とその後の熱処理炉35における熱処理と更に電解メッキ槽36におけるCu膜の成膜を連続して行うことが可能になるため、処理能力を高めて、スループットを向上させることができる。

【0046】更に、これら一連の処理を行う各ユニット及び搬送ユニット32の雰囲気は窒素ガスライン38から供給された窒素ガスによって充填され、処理前後の半導体基体が大気に暴露されることがないため、シードCu膜及びCu膜の酸化や汚染を防止してその信頼性を保持することができると共に、酸化膜の除去を不要として

工程の簡略化を実現することができる。

【0047】なお、上記第1～第3の実施形態においては、メッキ槽、熱処理炉等を搬送ユニットの周囲に配置しているが、こうした配置方法に限定されるものではなく、例えばメッキ槽、熱処理炉等を直線的に配列して、各ユニット間にそれぞれ搬送ユニットを設置する等、種々の配置方法が考えられる。また、メッキ槽、熱処理炉等の処理方式として、枚葉処理式の場合を示しているが、本方式に限定されることなく、例えばバッチ処理方式や、バッチ処理方式と枚葉処理方式とを組み合わせた方式であっても、本発明の主旨を逸脱しない範囲内であれば適宜変更可能である。

【0048】

【発明の効果】以上、詳細に説明した通り、本発明に係る半導体製造装置によれば、次のような効果を奏することができる。即ち、請求項1に係る半導体製造装置によれば、無電解メッキ槽と熱処理炉が同一装置内に配置されていることにより、全体として省スペース化することができる。また、無電解メッキによる成膜とその後の熱処理が同一装置内において連続して行うことが可能になるため、処理能力が高まり、スループットを向上させることができる。

【0049】また、請求項2に係る半導体製造装置によれば、無電解メッキ槽と熱処理炉と電解メッキ槽が同一装置内に配置されていることにより、全体として省スペース化することができる。また、無電解メッキによる金属膜の成膜とその後の熱処理と更に電解メッキによる金属膜の成膜が同一装置内において連続して行うことが可能になるため、処理能力が高まり、スループットを向上させることができる。

【0050】また、請求項3に係る半導体製造装置によれば、上記請求項1又は2に係る半導体製造装置において、半導体基体を搬送する搬送手段が具備されていることにより、各ユニット間における半導体基体の移動をスムーズにすることが可能になるため、処理能力が高まり、スループットを向上させることができる。

【0051】また、請求項4に係る半導体製造装置によれば、上記請求項3に係る半導体製造装置において、搬送手段が半導体基体を不活性ガス雰囲気中において搬送することにより、半導体基体が大気に暴露されることがなくなり、成膜した金属膜の酸化や汚染が防止されるため、金属膜の品質及び信頼性を向上させることができる。また、無電解メッキにより成膜した金属膜の熱処理後に更に電解メッキによる金属膜の成膜を行う場合には、この電解メッキ直前の酸化膜除去が不要となるため、電解メッキ工程を簡略化することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体製造装置を示す模式図である。

【図2】本発明の第2の実施形態に係る半導体製造装置

11

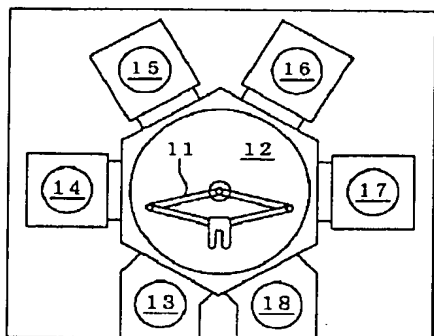
を示す模式図である。

【図 3】本発明の第 3 の実施形態に係る半導体製造装置を示す模式図である。

【符号の説明】

11…搬送アーム、12…搬送ユニット、13…ロード用のカセットステージ、14…メッキ前洗浄槽、15…無電解メッキ槽、16…メッキ後洗浄槽、17…熱処理炉、18…アンロード用のカセットステージ、21…搬*

【図 1】

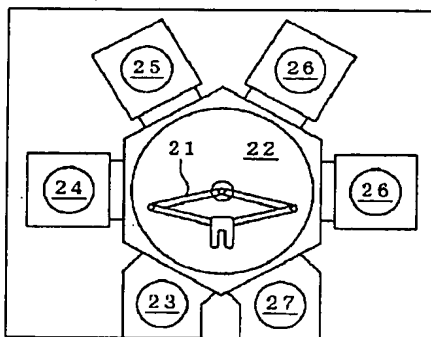


- 11…搬送アーム
- 12…搬送ユニット
- 13…ロード用のカセットステージ
- 14…メッキ前洗浄槽
- 15…無電解メッキ槽
- 16…メッキ後洗浄槽
- 17…熱処理炉
- 18…アンロード用のカセットステージ

12

*送アーム、22…搬送ユニット、23…ロード用のカセットステージ、24…無電解メッキ槽、25…熱処理炉、26…電解メッキ槽、27…アンロード用のカセットステージ、31…搬送アーム、32…搬送ユニット、33…ロード用のカセットステージ、34…無電解メッキ槽、35…熱処理炉、36…電解メッキ槽、37…アンロード用のカセットステージ、38…窒素ガスライン、39…排気ライン。

【図 2】



【図 3】

